

MATRIX TYPE DISPLAY DEVICE

Publication number: JP9185346

Publication date: 1997-07-15

Inventor: MINEMURA TOSHIMITSU;
OKAMOTO KAZUHIRO;
FURUKOSHI YASUTAKE

Applicant: FUJITSU LTD

Classification:

- international: **G02F1/133; G09G3/36; G02F1/13;
G09G3/36; (IPC1-7): G09G3/36;
G02F1/133**

- european:

Application number: JP19950344096 19951228

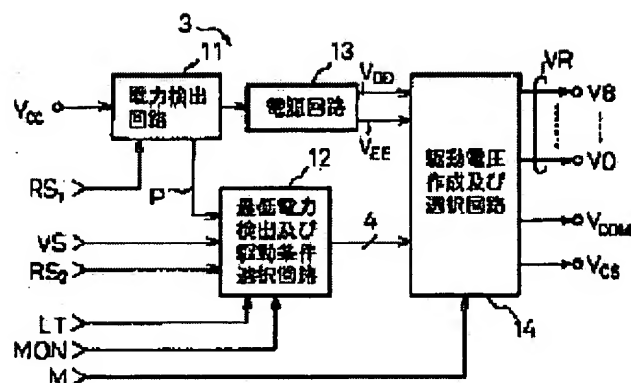
Priority number(s): JP19950344096 19951228

Report a data error here

Abstract of **JP9185346**

PROBLEM TO BE SOLVED: To realize lower power consumption at all times even if common electrode potential inversion driving is performed by using an inexpensive data line driver with low dielectric strength by controlling an applied voltage interlocking means according to the detection result of a power detecting means so that electric power is minimized when voltages applied to respective electrodes are brought under associative control. **SOLUTION:** A driving voltage control circuit 3 is provided with the applied voltage interlocking means 14 which controls the levels of a

reference voltage corresponding to voltages applied to pixel electrodes, a voltage applied to a common electrode, and a voltage applied to a storage capacity electrode associatively with one another. Then an electric power detecting means 11 monitors the source voltage V_{cc} supplied to the driver to detect the power consumption of the driver corresponding to the source voltage for a specific period. Further, an electric power reduction control means 12 controls the applied voltage interlocking means 14 so as to minimize the electric power according to the detection result of the electric power detecting means 11 so as to minimize the electric power when the voltages applied to the respective electrodes are brought under associative control.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-185346

(43)公開日 平成9年(1997)7月15日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 1 5		G 0 2 F 1/133	5 1 5
	5 2 0			5 2 0
	5 5 0			5 5 0

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21)出願番号	特願平7-344096	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成7年(1995)12月28日	(72)発明者	峯村 敏光 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	岡本 和浩 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	古越 靖武 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 石田 敬 (外3名)

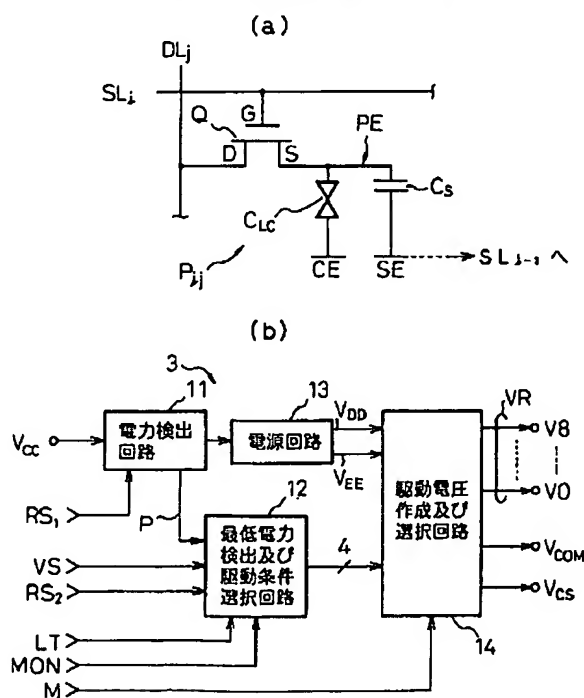
(54)【発明の名称】 マトリクス型表示装置

(57)【要約】

【課題】 本発明は、マトリクス型表示装置に関し、共通電極電位反転駆動を行う場合に常に低消費電力を実現することを目的とする。

【解決手段】 液晶パネル内にマトリクス状に配列された各画素 P_{ij} の、画素電極 PE への印加電圧に応じた基準電圧 VR と共通電極 CE への印加電圧 V_{COM} と蓄積容量電極 SE への印加電圧 V_{CS} とを互いに連動させて各々の大きさを制御する手段14と、液晶パネルを駆動するドライバにおける消費電力を所定期間単位で検出する手段11と、この検出結果に基づいて前記各電極への印加電圧をその電力が最低となるように制御する手段12とを有するように構成する。

図1における要部の構成を示す図



【特許請求の範囲】

【請求項1】 マトリクス状に配列された複数のスキャンラインと複数のデータラインの各交差部にそれぞれ画素(P_{ij})が配設され、各画素毎に、電圧-光変換物質を間に挟むようにそれぞれ形成された画素電極(PE)及び共通電極(CE)と、対応するスキャンライン(SL_i)が選択された時に対応するデータライン(DL_j)上の書き込み電荷を前記画素電極に伝達するスイッチング素子(Q)と、前記書き込み電荷の保持に必要な蓄積容量を前記画素電極との間に挟んで形成された蓄積容量電極(SE)とを備えた液晶パネルと、該液晶パネル内の各スキャンライン及び各データラインをそれぞれ駆動するドライバと、前記画素電極に印加する駆動電圧に応じた基準電圧(V_R)、前記共通電極に印加する駆動電圧(V_{COM})及び前記蓄積容量電極に印加する駆動電圧(V_{CS})の各々の大きさを制御する駆動電圧制御回路(3, 3a)とを具備し、該駆動電圧制御回路が、前記画素電極への印加電圧に応じた基準電圧と前記共通電極への印加電圧と前記蓄積容量電極への印加電圧とを互いに連動させて各々の大きさを制御する印加電圧連動手段(14)と、前記ドライバに供給される電源電圧(V_{CC})をモニタして所定期間、該電源電圧による該ドライバにおける消費電力を検出する電力検出手段(11)と、該電力検出手段の検出結果に基づいて前記印加電圧連動手段に対し前記各電極への印加電圧の連動制御の際に電力を最低にするように制御を行う電力低減化制御手段(12, 12a)とを有することを特徴とするマトリクス型表示装置。

【請求項2】 請求項1に記載のマトリクス型表示装置において、前記印加電圧連動手段は、前記電圧-光変換物質の交流化駆動に必要な一定の周期毎の電位変化の振幅量を、前記画素電極への印加電圧に応じた基準電圧と前記共通電極への印加電圧と前記蓄積容量電極への印加電圧とに関して制御することを特徴とするマトリクス型表示装置。

【請求項3】 請求項1に記載のマトリクス型表示装置において、前記電力低減化制御手段は、前記各電極への駆動電圧に関連した制御データ群と、該制御データ群のうち1つの制御データを選択する手段とを有し、前記電力検出手段による前記電源電圧のモニタ期間中に、前記制御データ群のうち複数の制御データを順次選択すると共に最低電力検出を行い、該モニタ期間の終了後に、該最低電力検出に基づく駆動電圧に関連した制御データを前記印加電圧連動手段に供給することを特徴とするマトリクス型表示装置。

【請求項4】 前記駆動電圧制御回路(3a)は、請求項1に記載の電力検出手段に代えて、表示データの表示

パターンの種類を検出する表示パターン検出手段(11a)を有し、前記電力低減化制御手段(12a)は、該表示パターン検出手段の検出結果に基づいて前記印加電圧連動手段に対し前記各電極への印加電圧の連動制御の際に電力を最低にするように制御を行うことを特徴とするマトリクス型表示装置。

【請求項5】 請求項4に記載のマトリクス型表示装置において、前記電力低減化制御手段は、前記表示パターンの種類毎に設定された前記各電極への駆動電圧に関連した制御データ群と、前記表示パターン検出手段で検出された表示パターンに対応する制御データを前記制御データ群から選択する手段とを有し、該選択された制御データを前記印加電圧連動手段に供給することを特徴とするマトリクス型表示装置。

【請求項6】 請求項1から5のいずれか一項に記載のマトリクス型表示装置において、前記電圧-光変換物質が液晶からなることを特徴とするマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置(LCD)等のマトリクス型表示装置に係り、特に、アクティブマトリクス型のTFT方式のLCDにおいてその液晶パネルを横ライン反転駆動で駆動する技術に関する。近年の画像表示装置の普及により、薄型で大容量の表示装置の需要が高まっている。特にLCDの開発はめざましく、さらに大画面で低消費電力のLCDの開発が求められている。

【0002】

【従来の技術】従来、大容量のLCD等のマトリクス型表示装置を駆動する技術として、液晶パネル内にマトリクス状に配列された各画素の画素電極に薄膜トランジスタ(TFT)等のスイッチング素子を設け、各スイッチング素子をスキャンライン毎に順次走査して各スキャンライン上の画素電極に液晶駆動用の電荷を1フレーム分蓄積させる方式(アクティブマトリクス方式)が採用されている。

【0003】一方、液晶を駆動する場合には、直流電圧印加による液晶特性の劣化を防止する目的から液晶の交流化駆動が行われる。交流化駆動の方法としては、データラインを液晶パネルの上側と下側から交互に櫛形状に配置し、上側からのデータラインと下側からのデータラインに互いに極性が反対になるデータ電圧を印加し、フレーム周期毎に上下の極性を反転させる方法(縦ライン反転駆動)、データの極性は同一とし、横ライン(スキャンライン)毎にデータを反転する方法(横ライン反転駆動)等が採用されている。

【0004】縦ライン反転駆動の場合、共通電極(液晶を挟んで画素電極に対向配置される電極)の電位は固定される必要があるが、横ライン反転駆動の場合には、デ

ータライン・ドライバとして比較的安価な低耐圧（例えば5V）のドライバを使用して液晶のしきい値を満たす必要性から、共通電極電位も横ライン周期毎に反転させる駆動方法（以下、「共通電極電位反転駆動」と称する）が採用される場合が多い。

【0005】共通電極電位反転駆動を行う場合、その反転駆動と同期して蓄積容量電極の電位も反転駆動される。この蓄積容量は、液晶の画素電極に走査期間中に充電された電荷（書き込み電荷）が次の走査期間までの1フレーム期間の間保持されなければならない必要性から、TFT基板の画素電極上の一部に形成される。蓄積容量は、独立バスとして形成される場合と、スキャンライン上に形成される場合の2方式が一般的である。

【0006】また、共通電極電位反転駆動を行う場合、上述したように液晶のしきい値を満たす必要性から、デジタル方式のデータドライバに入力する基準電圧も同時に特定の振幅で反転させる必要がある。従来知られている技術では、共通電極に印加される駆動電圧の振幅と、蓄積容量電極に印加される駆動電圧の振幅と、画素電極に印加される駆動電圧に応じたデータ基準電圧の振幅とは、それぞれ固定されていた。

【0007】

【発明が解決しようとする課題】しかしながら、例えば黒の多いパターンと白の多いパターンとでは、表示に必要とする電力が最低になるそれぞれの電極の駆動電圧の振幅は異なっているにもかかわらず、従来の技術では各電極（共通電極、蓄積容量電極、及び画素電極）に印加される駆動電圧の振幅はそれぞれ固定化されていたため、表示パターンによっては必ずしも最低電力で駆動が行われていないといった課題があった。

【0008】本発明は、かかる従来技術における課題に鑑み創作されたもので、比較的安価な低耐圧のデータライン・ドライバを使用して共通電極電位反転駆動を行う場合に常に低消費電力を実現することができるマトリクス型表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上述した従来技術の課題を解決するため、本発明の一つの形態によれば、マトリクス状に配列された複数のスキャンラインと複数のデータラインの各交差部にそれぞれ画素が配設され、各画素毎に、電圧-光変換物質を間に挟むようにそれぞれ形成された画素電極及び共通電極と、対応するスキャンラインが選択された時に対応するデータライン上の書き込み電荷を前記画素電極に伝達するスイッチング素子と、前記書き込み電荷の保持に必要な蓄積容量を前記画素電極との間に挟んで形成された蓄積容量電極とを備えた液晶パネルと、該液晶パネル内の各スキャンライン及び各データラインをそれぞれ駆動するドライバと、前記画素電極に印加する駆動電圧に応じた基準電圧、前記共通電極に印加する駆動電圧及び前記蓄積容量電極に印加する駆

動電圧の各々の大きさを制御する駆動電圧制御回路とを具備し、該駆動電圧制御回路が、前記画素電極への印加電圧に応じた基準電圧と前記共通電極への印加電圧と前記蓄積容量電極への印加電圧とを互いに連動させて各々の大きさを制御する印加電圧連動手段と、前記ドライバに供給される電源電圧をモニタして所定期間、該電源電圧による該ドライバにおける消費電力を検出する電力検出手段と、該電力検出手段の検出結果に基づいて前記印加電圧連動手段に対し前記各電極への印加電圧の連動制御の際に電力を最低にするように制御を行う電力低減化制御手段とを有することを特徴とするマトリクス型表示装置が提供される。

【0010】この形態に係るマトリクス型表示装置の構成によれば、電力検出手段の検出結果に基づいて電力低減化制御手段により、各電極（画素電極、共通電極及び蓄積容量電極）に印加されるべき駆動電圧をその電力が最低となるように制御することができる。従って、たとえ低耐圧のデータライン・ドライバを使用して共通電極電位反転駆動を行った場合でも、常に低消費電力を実現することが可能となる。

【0011】また、本発明の他の形態によれば、上述した電力検出手段に代えて、表示データの表示パターンの種類を検出する表示パターン検出手段を有することを特徴とするマトリクス型表示装置が提供される。この形態に係るマトリクス型表示装置の構成によれば、上述した形態に係る装置の場合と同様に、表示パターン検出手段の検出結果に基づいて電力低減化制御手段により、各電極（画素電極、共通電極及び蓄積容量電極）に印加されるべき駆動電圧をその電力が最低となるように制御することができる。

【0012】

【発明の実施の形態】図1には本発明の一実施形態に係るマトリクス型表示装置の全体構成が模式的に示される。図示の例は、液晶表示装置（LCD）の構成を示すもので、図中、1は液晶パネルを示し、マトリクス状に配列された複数のスキャンライン SL_i （ $i=1\sim m$ ）と複数のデータライン DL_j （ $j=1\sim n$ ）の各交差部にそれぞれ画素 P_{ij} が配設されて成る構成を有している。各画素 P_{ij} の構成については、後で説明する。

【0013】また、2はLCD全体を制御する制御回路を示し、外部から入力される表示データ D_n 及び制御信号（表示データ D_n と同期して与えられるタイミング用のクロック CLK 、水平同期信号 HS 及び垂直同期信号 VS ）に基づいて、表示データの各画素への書き込み及び表示のための各種制御を行う機能を有している。この制御回路2は、後述する各ドライバを介して液晶パネル1を駆動するのに必要な各制御信号 CS_1 及び CS_2 を生成する機能、表示データ D_n を所定の極性を持つ表示データ DD に変換して出力する機能、及び、後述する駆動電圧制御回路を制御するための制御信号 $CONT$ を生

成する機能を有している。

【0014】3は駆動電圧制御回路を示し、外部から供給される電源電圧 V_{cc} (5V)とLCD制御回路2から供給される制御信号CONTに基づいて、液晶パネル1内の各電極に印加されるべき駆動電圧を作成し、後述するように最低電力での駆動条件に応じた駆動電圧を選択出力する機能を有している。選択出力される駆動電圧には、共通電極に印加される駆動電圧(共通電極印加電圧) V_{com} と、蓄積容量電極に印加される駆動電圧(蓄積容量電極印加電圧) V_{cs} と、画素電極に印加される駆動電圧(画素電極印加電圧)に応じた基準電圧VRとが含まれる。

【0015】4はスキャンライン・ドライバを示し、LCD制御回路2から供給される制御信号 CS_1 (クロック、スタート信号等)にตอบสนองして、液晶パネル1内の各スキャンライン $SL_1 \sim SL_n$ を順次駆動する機能を有している。また、このスキャンライン・ドライバ4は、駆動電圧制御回路3から供給される蓄積容量電極印加電圧 V_{cs} を各画素の蓄積容量電極に印加する機能を有している。

【0016】5はデータライン・ドライバを示し、LCD制御回路2から供給される制御信号 CS_2 (クロック、スタート信号、ラッチ信号等)及び表示データDDと駆動電圧制御回路3から供給される画素電極印加電圧に応じた基準電圧VRとにตอบสนองして、液晶パネル1内の各データライン $DL_1 \sim DL_n$ を駆動する機能を有している。

【0017】なお、図示はしないが、駆動電圧制御回路3に供給される電源電圧 V_{cc} は、スキャンライン・ドライバ4及びデータライン・ドライバ5にもそれぞれ供給されている。また、本実施形態では複数のデータライン $DL_1 \sim DL_n$ を駆動するのに1つのデータライン・ドライバ5を設けた場合について図示しているが、駆動方式の種類によっては液晶パネル1の上側と下側の両側からの駆動でも実現することは可能である。この場合には、上側のデータライン・ドライバと下側のデータライン・ドライバは、それぞれの出力ラインが互いに櫛形状に接続されるように配置される。

【0018】図2には図1の構成における要部の構成が示される。図2において、(a)は液晶パネル1における各画素 P_{ij} の構成を示す。各画素 P_{ij} は、対応するスキャンライン SL_i が選択された時に対応するデータライン DL_j 上の表示データ電圧すなわち書き込み電荷を伝達する薄膜トランジスタ(TFT)Qと、このトランジスタ(TFT)Qを介して伝達された書き込み電荷を保持するための蓄積容量 C_s と、液晶容量 C_{LC} とを有している。なお、蓄積容量 C_s と液晶容量 C_{LC} の各一端側は、トランジスタ(TFT)QのソースSにつながる画素電極PEに接続されており、また液晶容量 C_{LC} の他端側は共通電極CEに接続され、蓄積容量 C_s の他端側

は、直前のスキャンライン SL_{i-1} につながる蓄積容量電極SEに接続されている。

【0019】図2において、(b)は駆動電圧制御回路3の構成を示す。図中、 RS_1 及び RS_2 はリセット信号、VSは垂直同期信号、LTはラッチ信号、MONはモニタ信号、Mは交流化信号を示し、これらの信号はLCD制御回路2から供給される制御信号CONTに含まれる。また、11は電源電圧 V_{cc} (5V)及びリセット信号 RS_1 に基づいて所定期間の間電力検出を行う電力検出回路、12は電力検出回路11の出力P及び各制御信号VS、 RS_2 、LT及びMONに基づいて最低電力の検出及び駆動条件の選択を行う最低電力検出及び駆動条件選択回路、13は電力検出回路11を通して供給される電源電圧から次段で使用される直流電圧 V_{DD} 及び V_{EE} を生成する電源回路、14は電源回路13からの直流電圧 V_{DD} 及び V_{EE} 、最低電力検出及び駆動条件選択回路12からの出力信号(図示の例では4種類の駆動条件)及び交流化信号Mに基づいて上述した各駆動電圧(画素電極印加電圧に応じた基準電圧VR ($V_8 \sim V_0$)、共通電極印加電圧 V_{com} 及び蓄積容量電極印加電圧 V_{cs})の作成及び選択を行う駆動電圧作成及び選択回路を示す。

【0020】図3には電力検出回路11の回路構成が示される。図示の電力検出回路は、電源電圧 V_{cc} の入力端と次段の電源回路との間に接続され且つ比較的小さい抵抗値を有する抵抗器21と、この抵抗器21に電流が流れる時に生じる電圧降下分を増幅する差動増幅器22と、この差動増幅器22の出力を所定期間の間積分する積分回路23とを有している。この積分回路23にはその所定期間を一定にするためにリセット信号 RS_1 が入力され、この入力タイミングは、例えば垂直同期信号VSの2周期期間(2フレーム期間)に設定される。

【0021】図4には最低電力検出及び駆動条件選択回路12の回路構成が示され、図5にはその動作タイミング波形が示される。図4において、31は垂直同期信号VSをカウントしリセット信号 RS_2 によりクリアされるカウンタ、32はカウンタ31のカウント値の上位2ビットをデコードするデコーダ、33a~33dは上述の電力検出回路11からの出力Pにตอบสนองしてそれぞれデコーダ32のデコード出力a~d(これは後述する4種類の駆動条件に対応する)をサンプリングし保持するサンプル・ホールド(S/H)回路、34は各S/H回路で保持されたそれぞれの駆動条件に応じた電力値のうち最低電力となる駆動条件を検出する検出回路、35a~35dは上述のラッチ信号LTにตอบสนองしてそれぞれ検出回路34の出力をラッチするラッチ回路、36は上述のモニタ信号MONによりラッチ回路35a~35dの出力a~dとデコーダ32のデコード出力a~dのうちいずれか一方を選択出力するセレクトを示す。

【0022】このセレクト36は、モニタ信号MONが

“H”レベルの時(つまり電力検出を行っているモニタ期間中)、その出力Qとして入力A(デコード32のデコード出力a~d)を選択し、モニタ信号MONが
“L”レベルの時(モニタ期間以外の時、すなわち最低電力駆動期間中)、その出力Qとして入力B(ラッチ回路35a~35dの出力a~d)を選択する。

【0023】なお、図4に示す例では、4種類の駆動条件a~dを選択可能とするためにデコード32はカウンタ31のカウンタ値の2ビットのみをデコードするように構成したが、デコードするビット数は、駆動条件の設定数に応じて適宜変更されることはもちろんである。図5の動作タイミング図に示すように、モニタ期間中は、デコード32のデコード出力a~d(つまり4種類の駆動条件)のいずれかが順次選択されており、同時に、電力検出回路11により電力(電流)が測定されている。この時は、セクタ36は、デコード32のデコード出力a~dを選択出力する。一方、電力検出回路11の測定結果Pに基づいて各S/H回路33a~33dに保持されたそれぞれの駆動条件に応じた電力値は、検出回路34に入力され、そのうちで最低電力となる駆動条件が検出され、デコード出力として、対応するラッチ回路を介してセクタ36に入力される。

【0024】モニタ期間が終了すると、セクタ36は、ラッチ回路35a~35dの出力a~dを選択出力する。そして、この選択出力された信号a~dにより、電力が最低となる駆動条件で一定期間、液晶が駆動される。この一定期間は、図5に示すように、垂直同期信号VSの2周期期間単位で、モニタ期間に対して十分に長いことが望ましい(2T×N)。図5に示す例では、2番目の駆動条件(ラッチ回路35bの出力「b」)が選択された後、4番目の駆動条件(ラッチ回路35dの出力「d」)が選択されている。

【0025】図6には駆動電圧作成及び選択回路14の回路構成が示される。図中、41、42及び43はそれぞれ画素電極印加電圧に応じた基準電圧V8~V0、共通電極印加電圧V_{COM}及び蓄積容量電極印加電圧V_{CS}を作成するための抵抗分圧回路を示し、それぞれ電源回路13(図2参照)から供給される直流電圧V_{DD}及びV_{EE}の各ライン間に接続された4つの抵抗ストリング1~4を有している。また、44及び45は抵抗分圧回路41における4つの抵抗ストリング1~4のうちいずれかで作成された分圧電圧を選択するためのスイッチ、46及び47は抵抗分圧回路42における4つの抵抗ストリング1~4のうちいずれかで作成された分圧電圧を選択するためのスイッチ、48及び49は抵抗分圧回路43における4つの抵抗ストリング1~4のうちいずれかで作成された分圧電圧を選択するためのスイッチを示す。

【0026】50はスイッチ選択回路を示し、最低電力検出及び駆動条件選択回路12(図4参照)の出力a~d(駆動条件)に基づいて各スイッチ44~49の切り

換えを連動させて制御する機能を有している。例えば、スイッチ44に対し抵抗ストリング2の分圧電圧を選択するよう制御がなされる場合、他のスイッチ45~49についても全て、それぞれ対応する抵抗ストリング2の分圧電圧を選択するよう制御がなされる。

【0027】また、51~54はそれぞれ交流化信号Mにより入力Aと入力Bのいずれか一方を出力Qとして選択するセクタを示す。セクタ51の入力Aとセクタ52の入力Bには、スイッチ44で選択された分圧電圧が入力され、セクタ51の入力Bとセクタ52の入力Aには、スイッチ45で選択された分圧電圧が入力される。また、セクタ53の入力A及び入力Bには、それぞれスイッチ46及びスイッチ47で選択された分圧電圧が入力され、セクタ54の入力A及び入力Bには、それぞれスイッチ48及びスイッチ49で選択された分圧電圧が入力される。各セクタ51~54は、交流化信号Mが“H”レベルの時に出力Qとして入力Aを選択し、交流化信号Mが“L”レベルの時に出力Qとして入力Bを選択する。

【0028】また、55~58はそれぞれセクタ51~54の選択出力Qを増幅するバッファ増幅器を示す。バッファ増幅器57及び58の出力は、それぞれ共通電極印加電圧V_{COM}及び蓄積容量電極印加電圧V_{CS}として各々の電極に印加される。また、60はバッファ増幅器55の出力電圧とバッファ増幅器56の出力電圧の間を8等分に分圧する抵抗ストリング、61~69はそれぞれバッファ増幅器55の出力電圧、抵抗ストリング60により分圧された各電圧及びバッファ増幅器56の出力電圧を増幅するバッファ増幅器を示す。各バッファ増幅器61~69の出力は、それぞれ画素電極印加電圧に応じた基準電圧V8~V0としてデータライン・ドライバに入力される。

【0029】図7には駆動条件(駆動電圧)の設定例が示される。図示の例では、(a)~(d)の4つの駆動条件について各駆動電圧を設定した場合の波形が示されている。各波形図から分かるように、同じデータ基準電圧範囲RGに対して、液晶に印加される電圧、すなわち図2(a)において画素電極PEに印加される電圧に応じた基準電圧V0、V8と共通電極CEに印加される電圧V_{COM}との電位差VA、VBは同一であるが、各駆動電圧V_{COM}、V_{CS}、V0及びV8のそれぞれの振幅は異なっている。

【0030】つまり、上述した駆動電圧作成及び選択回路に設けたスイッチ選択回路50により各スイッチ44~49が連動して各駆動電圧の切り換え動作を行うことにより、共通電極電位(V_{COM})の反転駆動に合わせて、蓄積容量電極電位(V_{CS})を反転駆動することができると共に、画素電極電位に応じた基準電圧(V0、V8)も特定の振幅で反転駆動することができる。

【0031】上述した実施形態(図2(b)参照)で

は、電源電圧 V_{cc} による電流値の測定に基づいて電力を検出することで最低電力駆動での駆動条件を選択するようにしたが、検出対象は電力に限定されない。例えば、表示パターンを検出して電力を最低とする駆動を実現することも可能である。その一例は図8に示される。図8は図2(b)の構成に対応した駆動電圧制御回路3aの構成を示す。

【0032】図中、11aは表示データ及び垂直同期信号(VS)に同期したリセット信号 RS_3 に基づいて表示パターンの種類を検出する表示パターン検出回路、12aは表示パターン検出回路11aの検出結果に基づいて最低電力駆動条件を選択する最低電力駆動条件選択回路を示す。このようにして選択された駆動条件(図示の例では4種類)は、電源回路13により生成された直流電圧 V_{DD} 及び V_{EE} と共に、駆動電圧作成及び選択回路14に入力され、上述した実施形態(図2(b)参照)と同様に各駆動電圧 $VR(V_8 \sim V_0)$ 、 V_{COM} 及び V_{CS} の制御が行われる。

【0033】図9には図8の構成における要部(表示パターン検出回路11a及び最低電力駆動条件選択回路12a)の回路構成が示され、図10にはその動作タイミング波形が示される。図9の構成において、表示パターン検出回路は、各色(R, G, B)毎に入力される複数ビットの表示データの上位2ビットをそれぞれデコードするデコーダ71~73と、該デコーダからの4ビットのデコード出力をビット毎にそれぞれ所定期間の間積分するデータ積分回路74~76とを有している。各データ積分回路74~76にはその所定期間を一定にするためにリセット信号 RS_3 が入力され、この入力タイミングは、図10の動作タイミング図に示すように、垂直同期信号VSの1周期期間Tに設定されている。

【0034】また、最低電力駆動条件選択回路は、データ積分回路74~76でそれぞれ積分された各色(R, G, B)毎のデコード値の対応するビット(合計3ビット)をそれぞれ加算する加算回路77~80と、各加算回路77~80で加算された値(これは4種類の駆動条件a~dに対応する)のうち最大値を示すビット(これは最低電力となる駆動条件に対応する)を検出する検出回路81とを有している。

【0035】なお、図9に示す例では、4種類の駆動条件a~dを選択可能とするために各デコーダ71~73はそれぞれ表示データの2ビットのみをデコードするように構成したが、デコードするビット数は、駆動条件の設定数に応じて適宜変更されることはもちろんである。このようにして検出回路81により検出された最大値を示すビットは、駆動電圧作成及び選択回路14に入力される(図6参照)。これによって、スイッチ選択回路50により各スイッチ44~49が連動して切り換え動作を行い、最低電力駆動条件に応じた各駆動電圧($V_8 \sim V_0$ 、 V_{COM} 及び V_{CS})が選択され、図10の動作タイ

ミング図に示すように垂直同期信号VSの2周期期間単位で一定期間($2T \times N$)、液晶が駆動される。

【0036】

【発明の効果】以上説明したように本発明によれば、電力検出手段又は表示パターン検出手段の検出結果に基づいて各電極(画素電極、共通電極及び蓄積容量電極)に印加されるべき駆動電圧を連動させながら、その電力が最低となるように制御することができる。

【0037】これによって、たとえ安価な低耐压のデータライン・ドライバを使用して共通電極電位反転駆動を行った場合でも、常に低消費電力を実現することが可能となる。これは、特に表示容量が大きいLCD等のマトリクス型表示装置を駆動する際に有利である。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るマトリクス型表示装置の全体構成を模式的に示したブロック図である。

【図2】図1における要部の構成を示す図である。

【図3】図2における電力検出回路の構成を示す図である。

【図4】図2における最低電力検出及び駆動条件選択回路の構成を示す図である。

【図5】図4の回路の動作タイミング図である。

【図6】図2における駆動電圧作成及び選択回路の構成を示す図である。

【図7】駆動条件(駆動電圧)の設定例を示す図である。

【図8】本発明の他の実施形態における駆動電圧制御回路の構成を示すブロック図である。

【図9】図8における要部の構成を示す図である。

【図10】図9の回路の動作タイミング図である。

【符号の説明】

- 1…液晶パネル
- 2…LCD制御回路
- 3, 3a…駆動電圧制御回路
- 4…スキャンライン・ドライバ
- 5…データライン・ドライバ
- 11…電力検出回路(電力検出手段)
- 11a…表示パターン検出回路(表示パターン検出手段)
- 12…最低電力検出及び駆動条件選択回路(電力低減化制御手段)
- 12a…最低電力駆動条件選択回路(電力低減化制御手段)
- 14…駆動電圧作成及び選択回路(印加電圧連動手段)
- CE…共通電極
- DL_j…データライン
- PE…画素電極
- P_{ij}…画素
- Q…スイッチング素子(薄膜トランジスタ; TFT)
- SE…蓄積容量電極

SL_i …スキャンライン

V_{CC} …電源電圧

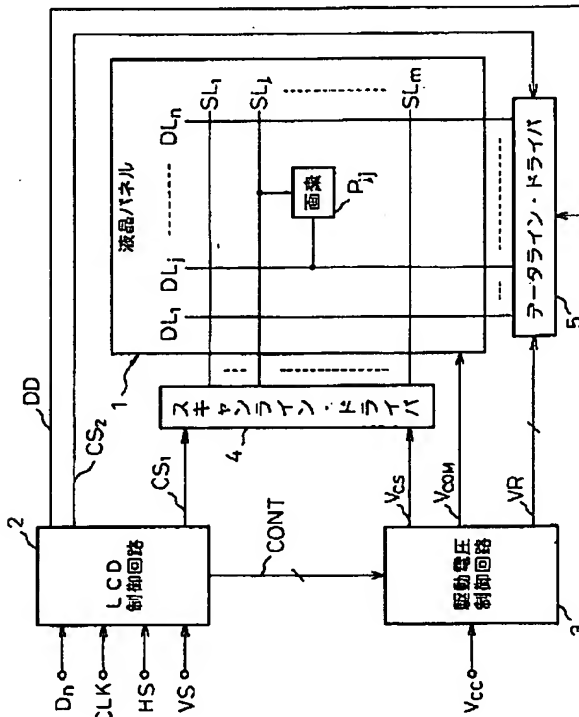
$VR, V_8 \sim V_0$ …画素電極印加電圧に応じた基準電圧

V_{COM} …共通電極印加電圧

V_{CS} …蓄積容量電極印加電圧

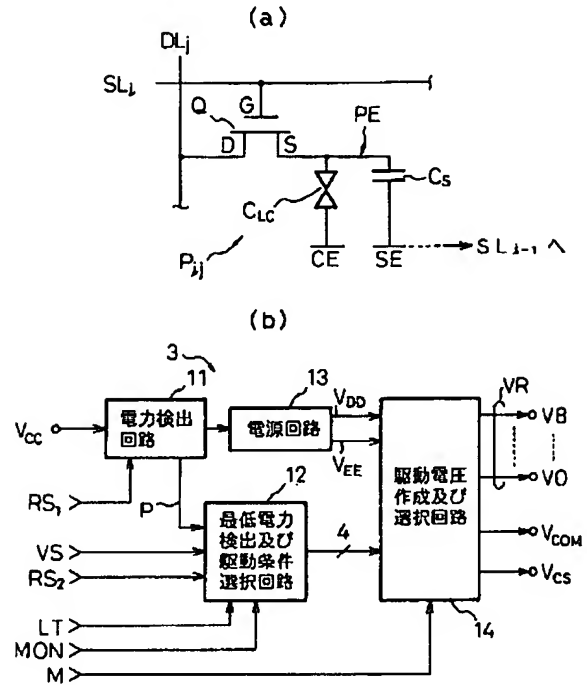
【図1】

本発明の一実施形態に係るマトリクス型表示装置の全体構成を模式的に示したブロック図



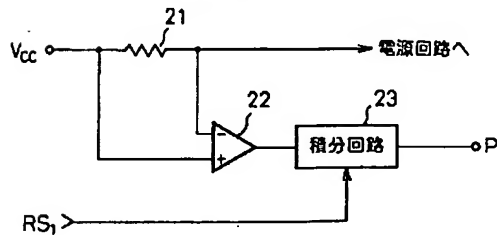
【図2】

図1における要部の構成を示す図



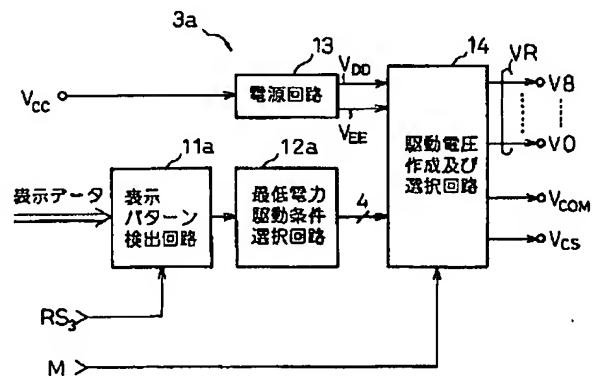
【図3】

図2における電力検出回路の構成を示す図



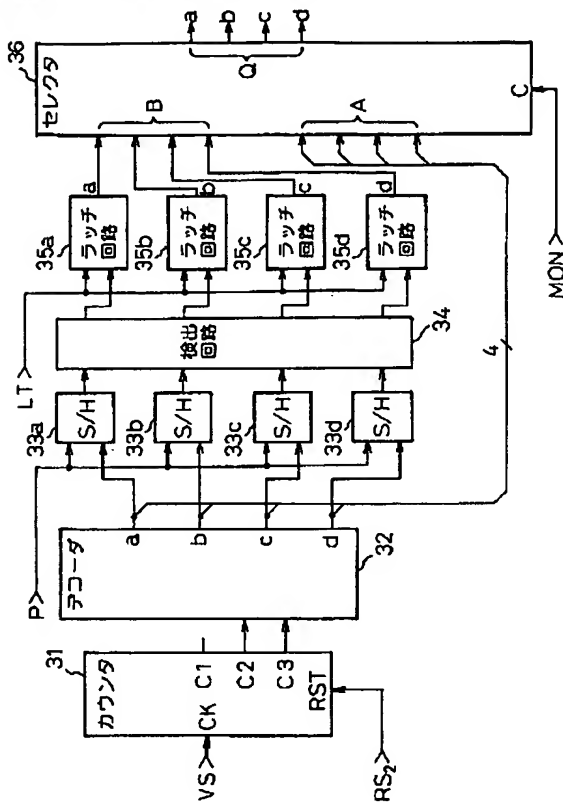
【図8】

本発明の他の実施形態における駆動電圧制御回路の構成を示すブロック図



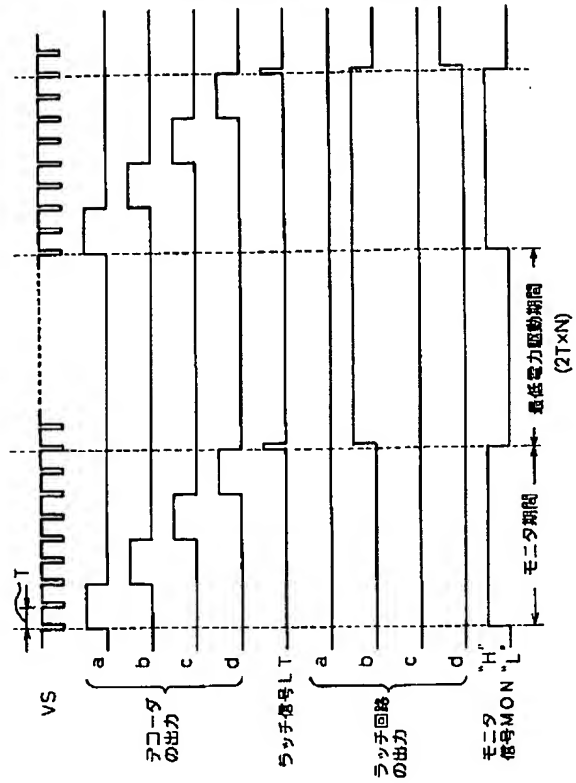
【図4】

図2における最低電力検出及び駆動条件選択回路の構成を示す図



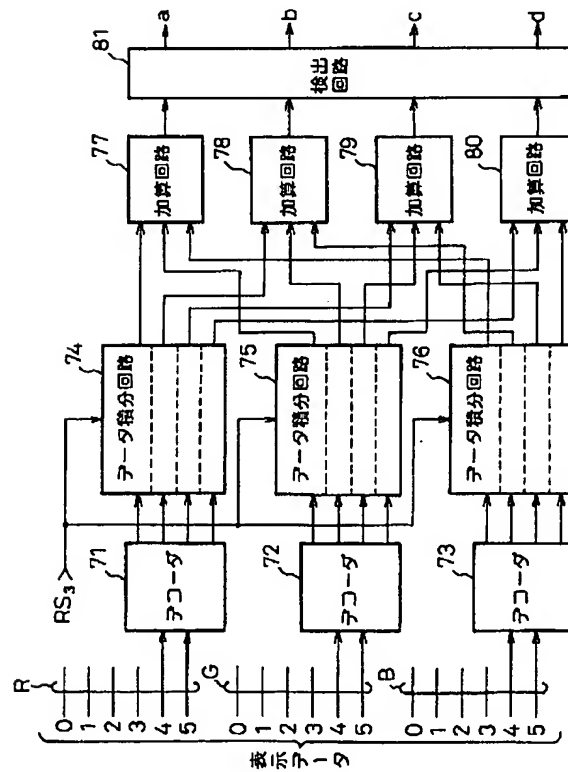
【図5】

図4の回路の動作タイミング図



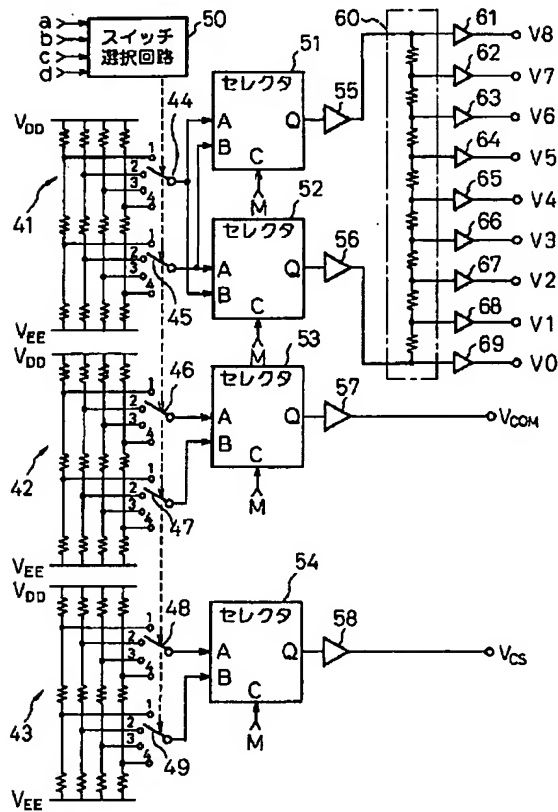
【図9】

図8における要部の構成を示す図



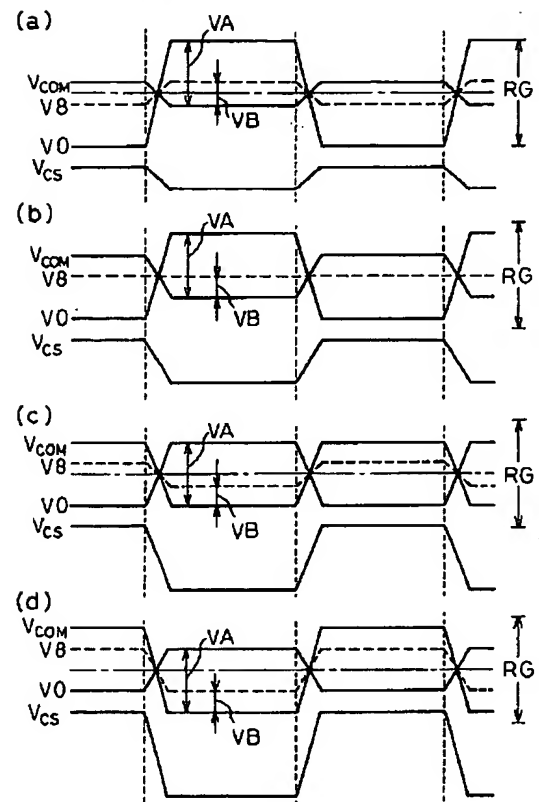
【図6】

図2における駆動電圧作成及び選択回路の構成を示す図



【図7】

駆動条件（駆動電圧）の設定例を示す図



【図10】

図9の回路の動作タイミング図

